

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-273386

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

G11C 16/06

G11C 16/02

(21)Application number : 10-076372

(71)Applicant : NEC CORP

(22)Date of filing : 25.03.1998

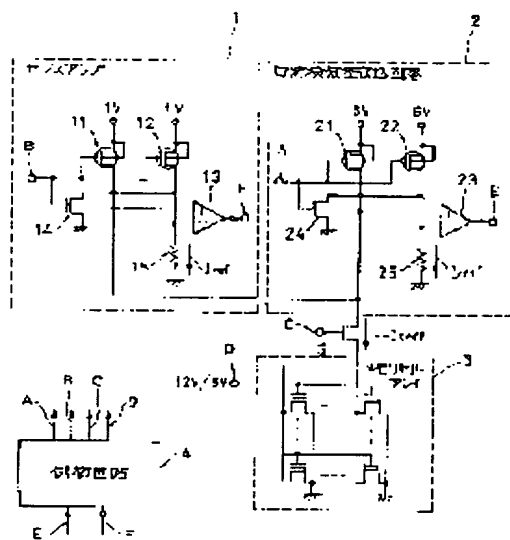
(72)Inventor : SUDO NAOAKI

(54) NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To maintain a high-speed writing system, and at the same time to reduce fluctuation of a threshold after writing in a non-volatile semiconductor memory such as a flash memory in a channel hot electron writing system.

SOLUTION: In a device, a current detecting writing circuit 2 and a sensing amplifier 1 for reading are provided. Verification on writing is made by switching verification due to the current detecting writing circuit 2 and verification due to a normal read mode using the sensing amplifier 1 for reading. More specifically, when a cell threshold of a writing level is set to a first threshold, and a fixed threshold level that is lower than the first threshold is set to a second threshold, writing operation due to the current detecting writing circuit 2 is performed at the start of a writing mode, and the writing operation is stopped when the current between the drain and the source of a memory cell 3 is reduced so that the current becomes lower than a reference current corresponding to the second threshold. After that, the writing operation and the verification operation using the sensing amplifier 1 are repeated until the cell threshold reaches the first threshold for performing the writing operation.



LEGAL STATUS

[Date of request for examination] 25.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3344313

[Date of registration] 30.08.2002

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-273386

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁸

G 1 1 C 16/06
16/02

識別記号

F I

G 1 1 C 17/00

6 3 4 F

6 1 1 A

審査請求 有 請求項の数 8 O L (全 6 頁)

(21) 出願番号

特願平10-76372

(22) 出願日

平成10年(1998)3月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 須藤 直昭

東京都港区芝五丁目7番1号 日本電気株式会社社内

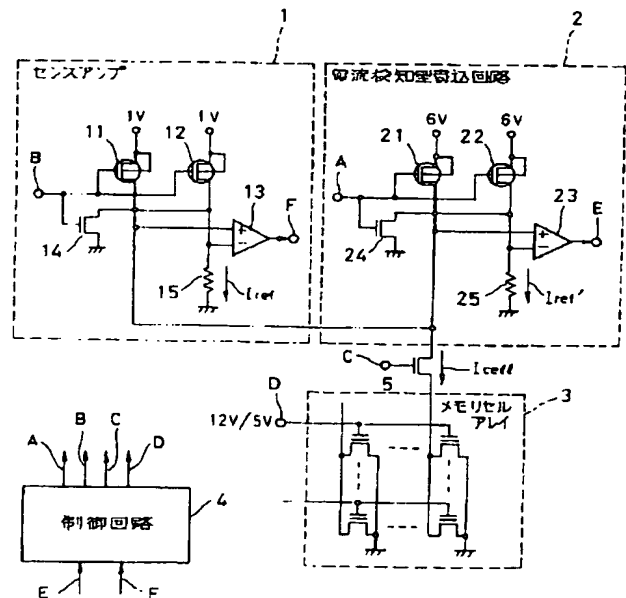
(74) 代理人 弁理士 △柳▽川 信

(54) 【発明の名称】 不揮発性半導体メモリ装置

(57) 【要約】

・【課題】 チャネルホットエレクトロン書込み方式のフラッシュメモリなど不揮発性半導体メモリにおいて、この書込み方式の高速性を維持したまま書込み後の閾値のばらつきを小さくする。

・【解決手段】 書込み電流検知型書込み回路2と読出し用のセンスアンプ1とを設け、書込み時の検証に書込み電流検知型書込み回路2による検証と、読出し用センスアンプ1を用いた通常読出しモードによる検証を切替えて行う。すなわち、書込みレベルのセル閾値を第一の閾値とし、それより低い一定の閾値レベルを第二の閾値としたとき、書込みモードの最初に書込み電流検知型書込み回路2による書込み動作を行い、メモリセル3のドレインソース間電流が第二の閾値に相当する参照電流(以下)に減少した時に書込み動作を停止し、その後、第一の閾値にセル閾値が達するまで書込み動作とセンスアンプ1を用いたベリファイ動作とを繰返し行って書込み動作を行う。



1

・【特許請求の範囲】

・【請求項 1】 不揮発性半導体メモリセルアレイと、前記メモリセルアレイのセルへの書込み時のセル電流をモニタすることにより書込み動作を行いつつ閾値検証を行う書込み電流検知型書込み手段と、前記メモリセルのオン電流をモニタしつつメモリセルの閾値検証を行う読出し用センスアンプ手段と、前記書込み時の検証動作時に、前記電流検知型書込み手段による検証と前記読出し用センスアンプ手段とによる検証とを切換えて行う制御手段と、を含むことを特徴とする不揮発性半導体メモリ装置。

・【請求項 2】 前記電流検知型書込み手段は、書込み電圧により前記メモリセルのセル電流を生成供給する手段と、このセル電流を第一の所定参照値と比較する比較手段とを有し、前記制御手段は、前記比較手段による一致が検出された時に、前記電流検知型書込み手段と前記読出し用センスアンプ手段によるペリファイ動作の繰返しによる書込みを行うようにしたことを特徴とする請求項 1 記載の不揮発性半導体メモリ装置。

・【請求項 3】 前記センスアンプ手段は、読出しセル電流を第二の所定参照値と比較する比較手段とを有し、前記制御手段は、前記比較手段による一致が検出された時に、前記書込みを終了するようにしたことを特徴とする請求項 2 記載の不揮発性半導体メモリ装置。

・【請求項 4】 前記第二の参照値は前記第一の参照値より小に設定されており、前記制御手段は、前記電流検知型書込み手段の比較手段による一致検出にตอบสนองして、前記電流検知型書込み手段による書込みを停止するようにしたことを特徴とする請求項 1 ～ 3 いずれか記載の不揮発性半導体メモリ装置。

・【請求項 5】 前記制御手段は、前記書込みの停止後に、前記電流検知型書込み手段と前記読出し用センスアンプ手段によるペリファイ動作の繰返しによる書込みを行いつつ前記センスアンプの比較手段による一致検出にตอบสนองして、この各書込み動作を終了するようにしたことを特徴とする請求項 4 記載の不揮発性半導体メモリ装置。

・【請求項 6】 多値の書込み読出しが可能な不揮発性半導体メモリセルアレイと、前記メモリセルアレイのセルへの書込みを行う書込み手段と、前記メモリセルのオン電流をモニタしつつメモリセルの閾値検証を行う読出し用センスアンプ手段と、前記書込み手段による書込みと前記センスアンプ手段によるペリファイ動作の繰返しによって前記多値のうちの最小値を書き込み、しかる後に前記書き込み手段により前記多値のうちの最小値以外の値を書込むよう制御する制御手段と、を含むことを特徴とする不揮発性半導体メモリ装置。

・【請求項 7】 前記書込み手段は、前記センスアンプ手段は、読出しセル電流を前記最小値に対応した参照値と

2

比較する比較手段を有し、前記制御手段は、前記比較手段の一致検出にตอบสนองして、前記最小値以外の値を書込むよう制御するようにしたことを特徴とする請求項 6 記載の不揮発性半導体メモリ装置。

・【請求項 8】 前記書込み手段は、書込み電圧により前記メモリセルのセル電流を生成供給するセル電流供給手段と、このセル電流を所定参照値と比較する比較手段とを有し、前記制御手段は、前記最小値以外の値の書込み制御時に、前記セル電流供給手段と前記比較手段とを動作せしめるようにしたことを特徴とする請求項 7 記載の不揮発性半導体メモリ装置。

・【発明の詳細な説明】

・【0001】

・【発明の属する技術分野】 本発明は不揮発性半導体メモリ装置に関し、特にチャネルホットエレクトロン書込み方式のフラッシュメモリ等の不揮発性半導体メモリ装置に関するものである。

・【0002】

・【従来の技術】 従来から、米国特許第 5, 422, 842 などで示されるように、チャネルホットエレクトロン型の書込み方式のフラッシュメモリにおいて、書込み時にメモリセルのドレイン電流をモニタすることにより閾値を検証する書込み電流検知型書込み方式がある。この方式では、書込みを高速に行うことができる。

・【0003】

・【発明が解決しようとする課題】 しかしながら、かかる従来の書込み電流検知型書込み方式においては、閾値の検証を通常の読出しモードにより行わないので、書込み後の閾値のばらつきが大きくなったり、読出し時に必要な閾値とずれる恐れがある。

・【0004】 また、この方式では、メモリセルに 3 レベル以上の多値書込みを行う場合には、最も閾値が低いデータを書込む際に、書込み電流の変化が早いと書込み過ぎて閾値のばらつきが大きくなるという問題もある。

・【0005】 本発明の目的は、チャネルホットエレクトロン書込み方式のフラッシュメモリなど不揮発性半導体メモリにおいて、書込み電流検知型書込み方式の高速性を維持したまま書込み後の閾値のばらつきを小さくすることができる不揮発性半導体メモリ装置を提供することである。

・【0006】

・【課題を解決するための手段】 本発明によれば、不揮発性半導体メモリセルアレイと、前記メモリセルアレイのセルへの書込み時のセル電流をモニタすることにより書込み動作を行いつつ閾値検証を行う書込み電流検知型書込み手段と、前記メモリセルのオン電流をモニタしつつメモリセルの閾値検証を行う読出し用センスアンプ手段と、前記書込み時の検証動作時に、前記電流検知型書込み手段による検証と前記読出し用センスアンプ手段とによる検証とを切換えて行う制御手段とを含むことを特徴と

3

する不揮発性半導体メモリ装置が得られる。

・【0007】そして、前記電流検知型書込み手段は、書込み電圧により前記メモリセルのセル電流を生成供給する手段と、このセル電流を第一の所定参照値と比較する比較手段とを有し、前記制御手段は、前記比較手段による一致が検出された時に、前記電流検知型書込み手段と前記読出し用センスアンプ手段によるペリファイ動作の繰返しによる書込みを行うようにしたことを特徴とする。

・【0008】また、前記センスアンプ手段は、読出しセル電流を第二の所定参照値と比較する比較手段とを有し、前記制御手段は、前記比較手段による一致が検出された時に、前記書込みを終了するようにしたことを特徴とする。

・【0009】更に、前記第二の参照値は前記第一の参照値より小に設定されており、前記制御手段は、前記電流検知型書込み手段の比較手段による一致検出にตอบสนองして、前記電流検知型書込み手段による書込みを停止するようにしたことを特徴とする。

・【0010】更にはまた、前記制御手段は、前記書込みの停止後に、前記電流検知型書込み手段と前記読出し用センスアンプ手段によるペリファイ動作の繰返しによる書込みを行いつつ前記センスアンプの比較手段による一致検出にตอบสนองして、この各書込み動作を終了するようにしたことを特徴とする。

・【0011】本発明によれば、多値の書込み読出しが可能で不揮発性半導体メモリセルアレイと、前記メモリセルアレイのセルへの書込みを行う書込み手段と、前記メモリセルのオン電流をモニタしつつメモリセルの閾値検証を行う読出し用センスアンプ手段と、前記書込み手段による書込みと前記センスアンプ手段によるペリファイ動作の繰返しによって前記多値のうちの最小値を書き込み、しかる後に前記書き込み手段により前記多値のうちの最小値以外の値を書込むよう制御する制御手段とを含むことを特徴とする不揮発性半導体メモリ装置が得られる。

・【0012】そして、前記書込み手段は、前記センスアンプ手段は、読出しセル電流を前記最小値に対応した参照値と比較する比較手段を有し、前記制御手段は、前記比較手段の一致検出にตอบสนองして、前記最小値以外の値を書込むよう制御するようにしたことを特徴とする。

・【0013】また、前記書込み手段は、書込み電圧により前記メモリセルのセル電流を生成供給するセル電流供給手段と、このセル電流を所定参照値と比較する比較手段とを有し、前記制御手段は、前記最小値以外の値の書込み制御時に、前記セル電流供給手段と前記比較手段とを動作せしめるようにしたことを特徴とする。

・【0014】本発明の作用を述べる。書込み電流検知型書込み回路と読出し用のセンスアンプとを設け、書込み時の検証に書込み電流検知型書込み回路による検証と、

4

読出し用センスアンプとを用いた通常の読出しモードによる検証を切換えて行うものである。すなわち、書込みレベルのセル閾値を第一の閾値とし、それより低い一定の閾値レベルを第二の閾値としたとき、書込みモードの最初に書込み電流検知型書込み回路による書込み動作を行い、メモリセルのドレインソース間電流が第二の閾値に相当する参照電流（以下）に減少した時に書込み動作を停止し、その後、第一の閾値にセル閾値が達するまで書込み動作とセンスアンプを用いたペリファイ動作とを繰返し行って書込み動作を行う。

・【0015】また、多値の書込み読出しを行うメモリの場合、複数の書込み電流検知型書込み回路と、少なくとも1個の読出し用センスアンプとを設け、多値モードの書込み時の最初に、書込み動作とセンスアンプによるペリファイ動作との繰返しによる書込みを行い、多値の各々に相当する複数の参照電圧のうち最小の参照電圧までセル閾値が達した時に、書込み電流検知型書込み回路による書込みを行うものである。

・【0016】

・【発明の実施の形態】以下に、本発明の実施例につき図面を参照しつつ説明する。

・【0017】図1は本発明の一実施例を示す回路図である。図1に示すように、不揮発性半導体メモリのメモリセルアレイ3に書込み電流検知型書込み回路2と読出し用センスアンプ1とを接続する構成とする。この書込み電流検知型書込み回路2は書込み用に必要なドレイン電圧、例えば6V程度の電圧をドレインに供給し、この電圧源からメモリセルアレイ1のセルトランジスタのドレイン・ソース間に流れる電流 I_{cell} （書込み電流）と書込み時参照電流 I_{ref} とを比較する比較機能を有している。

・【0018】詳述すると、Pチャネルトランジスタ21、22と、Nチャネルトランジスタ24と、比較回路23と、抵抗25とを有している。トランジスタ21、22のゲートには、書込み制御信号Aが供給されており、この書込み制御信号Aのローアクティブ時にオンとなって、トランジスタ21は6Vの書込み電圧によりセル書込み電流 I_{cell} を生成し、またトランジスタ22は6Vの電圧を抵抗25へ供給して比較回路23の参照電流 I_{ref} を生成する。

・【0019】トランジスタ24のゲートには書込み制御信号Aが供給されており、この制御信号Aのハイレベル時にオンとなって、トランジスタ21、22のドレイン出力を0にクランプする作用を有する。そして、比較回路23の出力Eが一致検出信号として導出されている。

・【0020】また、読出し用センスアンプ1は、読出し時に必要なドレイン電圧、例えば1V程度の電圧をメモリセルへ供給する電圧源と、メモリセルのドレイン・ソース間に流れる電流 I_{cell} （オン電流）と読出し用参照電流 I_{ref} とを比較する比較回路13とで構成される。

5

・【0021】詳述すれば、Pチャネルトランジスタ11、12と、Nチャネルトランジスタ14と、比較回路13の参照電流 I_{ref} を生成する抵抗15とを有している。トランジスタ21、22のゲートには、センスアンプ活性化信号Bが供給されており、この活性化信号Bのローアクティブ時にオンとなって、トランジスタ11は1Vの読出し電圧をセルへ供給し、またトランジスタ12は1Vの電圧を抵抗15へ供給して比較回路13の参照電流 I_{ref} を生成する。

・【0022】トランジスタ14のゲートにはがセンスアンプ活性化信号B供給されており、この信号Bのハイレベル時にオンとなって、トランジスタ11、12のドレイン出力を0にクランプする作用を有する。そして、比較回路13の出力Fが一致検出信号として導出されている。

・【0023】これ等書込み用電圧源と読出し用電圧源とは列選択トランジスタ5を介してメモリセル3へ供給されており、当該トランジスタ5のゲートには、列選択トランジスタ選択信号Bが供給されている。このメモリセルアレイ3の各セルのゲートには、例えば、12V/5Vのワード信号線の電圧が供給されるようになってい

る。

・【0024】また、制御回路4が設けられており、上述の各回路の出力E、Fを制御入力とし、各種信号A~Dを生成して出力するものであり、これ等各回路1~3の動作制御を行う機能を有するものである。

・【0025】図2は図1のブロックにおける制御回路4の制御動作を示すフローチャートであり、図3はセル閾値とセル電流 I_{cell} との関係を、書込み時(101)と読出し時(102)とにおいて夫々示す図であり、図4は各種信号A~Dのタイミング例を示す図である。これ等図2~4を参照して本発明の一実施例の動作を説明する。

・【0026】先ず最初に、書込み電流検知型書込み回路2を用いてトランジスタ21のドレイン電流、すなわちセル電流 I_{cell} が所定の参照電流 I_{ref}' (メモリセルの閾値では V_{ref}' に相当)以下になるまで書込みを行う(ステップS1)。図4のタイミングチャートでは、(A)においてパスとして示されたタイミングまで書込みを行う。この際には、ベリファイ動作がないため書込み時間は短い。

・【0027】次に、読出し用センスアンプ1でベリファイ動作を行う(ステップS2)。そして、メモリセルの閾値電圧が参照電圧 V_{ref} 以上なら書込みを終了し、参照電圧 V_{ref} 以下なら書込み動作を行う(ステップS3)。この際の書込みパルス幅は閾値分布のばらつきを小さくするのに十分短いパルス幅とする。ベリファイ動作/書込み動作を、メモリセルの閾値電圧が参照電圧 V_{ref} 以上になるまで繰返し行う。図4このタイミングチャートでは、(B)においてパスとして示されたタイミ

6

ングまで書込みを行う。ときの参照電流 I_{ref}' は相当するメモリセルの閾値 V_{ref}' が参照電圧 V_{ref} より低くなるように設定される。

・【0028】次に、図5を参照すると、本発明の第二の実施例のブロック図が示されており、図1と同等部分は同一符号により示されている。本実施例では、多値の書込み読出しを行うことができる不揮発性半導体メモリ装置の例を示している。メモリセルアレイ3が、例えば、4値の不揮発性半導体メモリであるものとし、閾値の最も低い消去レベルを“11”とし、書込レベルは閾値の低い方から“10”、“01”、“00”と定義するものとする。

・【0029】図5を参照すると、センスアンプ1と、“01”の電流検知型書込み回路2aと、“00”の電流検知型書込み回路2bと、メモリセルアレイ3と、制御回路4と、通常書込み回路6と、列選択トランジスタ5とを有している。センスアンプ1及び電流検知型書込み回路2a、2bは、図1のセンスアンプ1及び電流検知型書込み回路2と夫々同一構成である。

・【0030】尚、本例におけるセンスアンプ1の参照電流(I_{ref})は、多値のうちの最小書込みレベルに対応する閾値“10”に相当する電流値に設定されている。また、本例における電流検知型書込み回路2aの参照電流は閾値“01”に相当する電流値に設定されており、電流検知型書込み回路2bの参照電流は閾値“00”に相当する電流値に設定されているものとする。書込み回路6は通常書込み回路と同一であり、電流検知型書込み回路の参照電流とセル電流 I_{cell} とを比較する比較機能を有していないものである。Aa~Acは書込み制御信号であり、Ea、Ebは一致出力である。

・【0031】図6は本実施例の動作を示すフローチャートであり、制御回路4の制御動作を示すフローチャートでもある。図6を参照すると、先ず最初に、書込み回路6を制御して適当な書込み時間だけ書込み動作を行う(ステップS4)。次に、“10”データのベリファイを読出し用のセンスアンプ1を用いて行う(ステップS5)。適当な書込み時間での書込み動作とセンスアンプによるベリファイを、ベリファイでパスするまで行う。但し、この際の書込み速度は高速であるために、書込みパルスは書込みすぎない程度に短いパルス幅とする。

・【0032】上記繰返し動作で“10”ベリファイがパスした場合、書込データが“10”ならそこで書込みを終了し、書込データが“01”、“00”なら、電流検知型書込動作を、各電流検知型書込み回路2a、2bを夫々使用して行う(ステップS6~S9)。

・【0033】本実施例により、書込み速度の速い書込初期に書込み動作、ベリファイの繰返しにより確実に書込みを行い、書込み速度の低下する書込み後期に、書込み電流検知型書込み回路により高速に書込みを行うことができるので、多値の書込みの際にも、高速で信頼性の

7

高い書込み動作を行うことができるものである。

・【0034】図7は本発明の第三の実施例を示すブロック図であり、図5の例の変形例を示し、図5と同等部分は同一符号により示している。本例でも、書込みレベルは閾値の低い方から“10”、“01”、“00”と定義するものとする。

・【0035】本例では、書込み回路2として、基本的に図1に示した電流検知型の書込み回路を使用するが、この場合、参照電流としては、“01”、“00”に対応する I_{ref1} 、 I_{ref2} を使用し、これ等参照電流を図6のステップS8、S9の処理に対応して切換えるようにする。また、図6のステップS4の書込み処理では、これ等参照電流は不使用とされる。こうすることにより、書込み回路の構成が全ての書込み動作に併用でき、ハード規模が小となる。尚、この場合の制御回路4の動作も図6に示すものと同一となる。

・【0036】

・【発明の効果】本発明によれば、書込途中までは、電流検知型書込み方式で高速に書込みを行い、書込み後期に「短パルスでの書込み」、「センスアンプでペリファイ」の繰返しによる書込みを行うため、電流検知型書込み方式の高速に書込みを行うことができるというメリッ *

8

*トを生かしたまま、書込み後のメモリセルの閾値のばらつきを小さくすることができるという効果がある。

・【図面の簡単な説明】

・【図1】本発明の第一の実施例の回路図である。

・【図2】図1の回路の動作を示すフローチャートである。

・【図3】メモリセルの閾値とセル電流との関係を示す図である。

・【図4】図1の回路における各部信号のタイミングチャートの例を示す図である。

・【図5】本発明の第二の実施例のブロック図である。

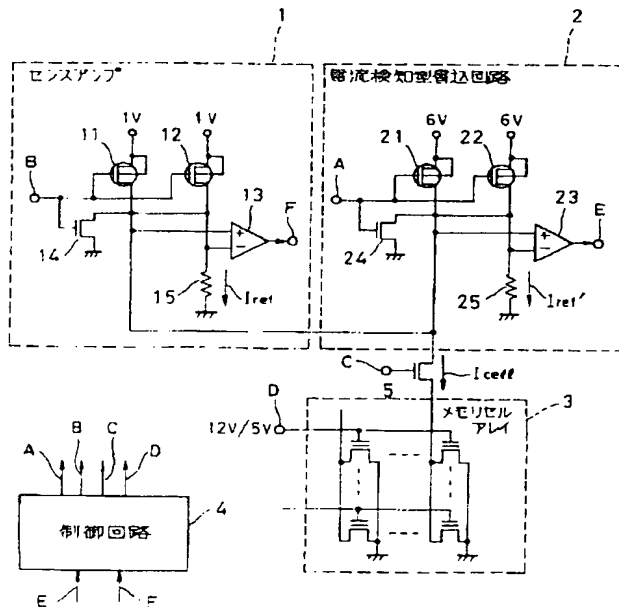
・【図6】図5のブロックの動作を示すフローチャートである。

・【図7】本発明の第三の実施例のブロック図である。

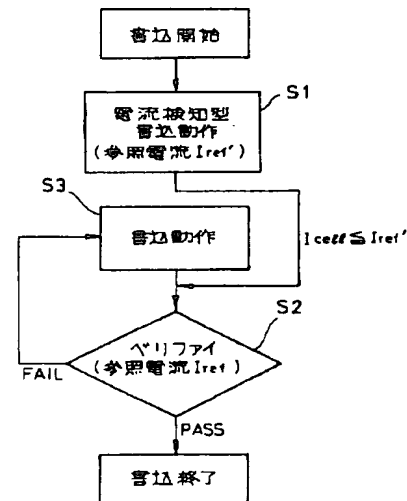
・【符号の説明】

- 1 センスアンプ
- 2 電流検知型書込み回路
- 3 メモリセルアレイ
- 4 制御回路
- 5 列選択トランジスタ
- 6 書込み回路

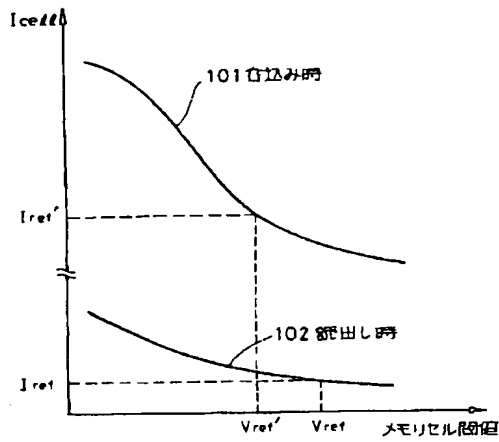
・【図1】



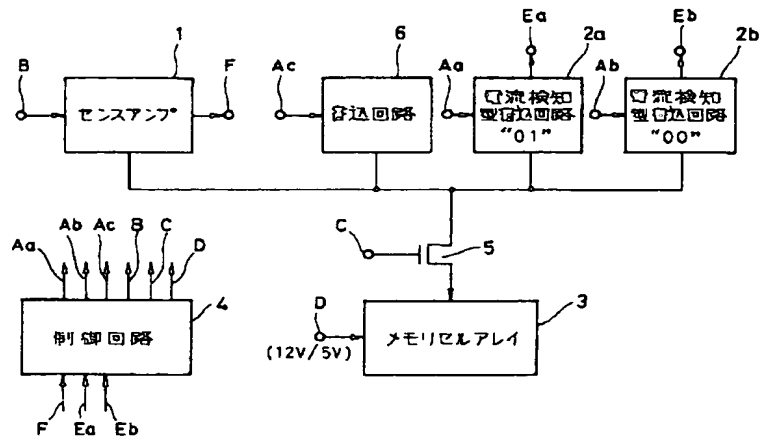
・【図2】



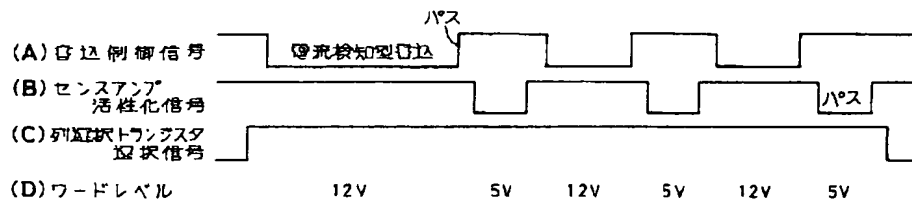
・【図 3】



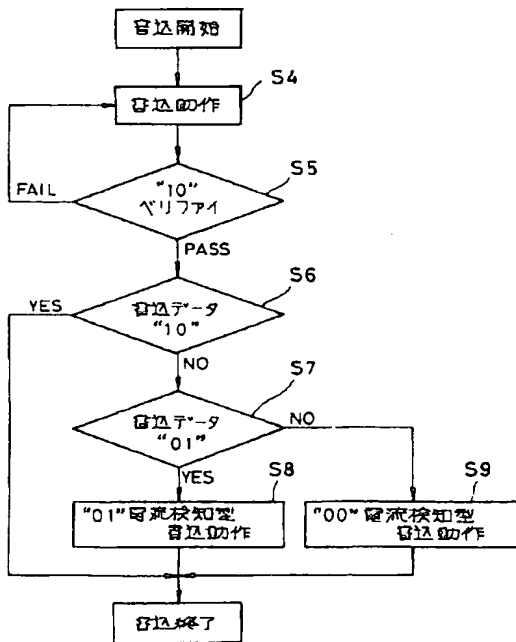
・【図 5】



・【図 4】



・【図 6】



・【図 7】

